

549, 986

Rec'd PCT/PTO 19 SEP 2005

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 7 月 21 日 (21.07.2005)

PCT

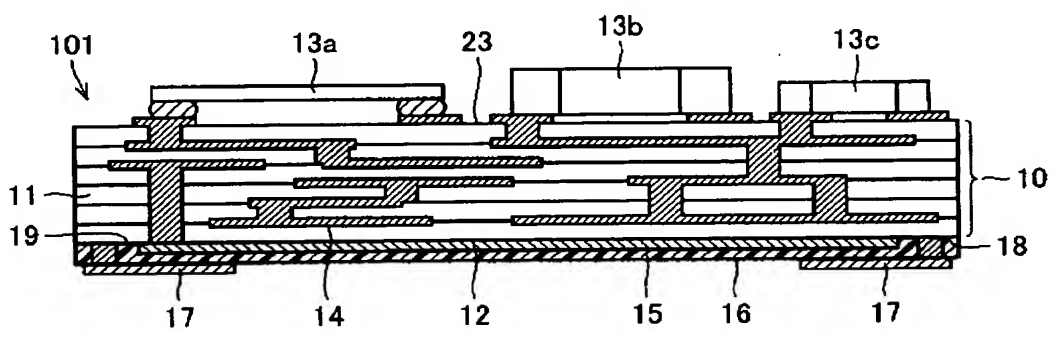
(10) 国際公開番号
WO 2005/067359 A1

- | | | |
|-------------------------------------------------------------------------------------------------------------------------------|----------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| (51) 国際特許分類 ⁷ : | H05K 3/46 | (72) 発明者; および |
| (21) 国際出願番号: | PCT/JP2004/015213 | (75) 発明者/出願人(米国についてのみ): 酒井 範夫 (SAKAI, Norio) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP). 原田 淳 (HARADA, Jun) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP). 石野 聡 (ISHINO, Satoshi) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP). 西澤 吉彦 (NISHIZAWA, Yoshihiko) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP). |
| (22) 国際出願日: | 2004 年 10 月 15 日 (15.10.2004) | |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ:
特願 2003-434347 | 2003 年 12 月 26 日 (26.12.2003) JP | (74) 代理人: 深見 久郎, 外(FUKAMI, Hisao et al.); 〒5300054 大阪府大阪市北区南森町 2 丁目 1 番 2 9 号 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP). |
| (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 Kyoto (JP). | | (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, |

[続葉有]

(54) Title: CERAMIC MULTILAYER SUBSTRATE

(54) 発明の名称: セラミック多層基板



(57) Abstract: A ceramic multilayer substrate comprising a ceramic multilayer body (10) consisting of a plurality of ceramic layers and having a first major surface (18) with circuit elements being arranged internally, a resin layer (15) having a bonding surface (19) in contact with the first major surface (18) of the ceramic multilayer body (10) and a mounting surface (16) opposite to the bonding surface (19), an external electrode (17) formed on the mounting surface (16) of the resin layer (15) and connected electrically with at least one of the internal circuit elements (14) of the ceramic multilayer body (10), and a ground electrode (12), a dummy electrode or a capacitor forming electrode arranged on the interface between the first major surface (18) of the ceramic multilayer body (10) and the bonding surface (19) of the resin layer (15) or in the resin layer (15).

(57) 要約: セラミック多層基板は、複数のセラミック層が積層され、第1主表面(18)を有し、内部に内部回路要素が配置されたセラミック積層体(10)と、前記セラミック積層体(10)の第1主表面(18)に接する接合面(19)と前記接合面(19)に対向する実装面(16)とを有する樹脂層(15)と、前記樹脂層(15)の実装面(16)に形成され、前記セラミック積層体(10)の内部回路要素(14)の少なくともいずれかと電気的に接続された外部電極(17)と、前記セラミック積層体(10)の第1主表面(18)と前記樹脂層(15)の接合面(19)との界面、または、前記樹脂層(15)の内部に配置されたグラウンド電極(12)、ダミー電極またはコンデンサ形成電極とを備える。



WO 2005/067359 A1



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

セラミック多層基板

技術分野

[0001] 本発明は、セラミック多層基板に関するものである。

背景技術

[0002] 携帯端末などの情報通信機器の内部には、チップアンテナ、ディレイライン、高周波複合スイッチモジュール、受信デバイスなど、さまざまな高周波モジュールが搭載されている。このような高周波モジュールは、配線基板に実装された状態で用いられる。

[0003] このような高周波モジュールとしては、多層基板上に回路部品が実装されたものが一般的である。多層基板としてはセラミック多層基板を用いるものがよく知られている。セラミック多層基板は、ノイズを除去するためにたいいていグラウンド電極を備えている。このことは、たとえば特開2002-94410号公報(特許文献1)に開示されている。

[0004] グラウンド電極はセラミック多層基板の内部のうちなるべく下面に近いところに内蔵されることが一般的である。これは、グラウンド電極をなるべく配線基板のグラウンド電極に近づけることにより、浮遊容量や浮遊インダクタンスなど、不要なインピーダンス成分を除去しやすくするためである。

[0005] 従来のセラミック多層基板の一例を図8に示す。セラミック多層基板100は、セラミック層11を積層したセラミック積層体10に電子部品13a, 13b, 13cを搭載したものである。グラウンド電極12はセラミック多層基板100の下面近傍においてセラミック層11m, 11nに挟まれるようにして内蔵されている。

特許文献1:特開2002-94410号公報

発明の開示

発明が解決しようとする課題

[0006] グラウンド電極は広い面積を必要とするため、セラミック多層基板を作製するには、セラミックグリーンシート上に広い面積の導体パターンを形成する必要がある。しかし、導体パターンの面積が広くなると、導体パターンを挟む2枚のセラミックグリーンシ

ート同士が互いに接触する面積は小さくなる。その結果、セラミックグリーンシート同士の接合性が低下する。

[0007] 図8に示したセラミック多層基板100の例でいえば、セラミック層11m, 11nの間に挟まれているグラウンド電極12の面積が大きくなることによって、セラミック層11m, 11n同士の接合性が低下することとなる。

[0008] また、焼成時に導体パターンとセラミックグリーンシートとの間で生じる収縮量の差によって、セラミック層には負荷がかかる。この負荷は導体パターンの面積が大きくなればより大きく作用する。このため、焼成後のセラミック多層基板では、特にグラウンド電極付近において、セラミック層のデラミネーションやクラックなどの不具合が生じてしまうという問題があった。

[0009] この問題を解消するためには、グラウンド電極をセラミック多層基板の下面に露出して配置することも考えられる。実際そういう構造のものもあるが、その場合、グラウンド電極と配線基板上の配線との間で短絡が生じやすくなるという新たな問題がある。

[0010] そこで、本発明は、配線基板の表面に実装する場合であってもグラウンド電極を配線基板に短絡させることなく配線基板に限りなく近い位置に配置することができ、なおかつ、焼成時にもクラックなどの不具合が生じないセラミック多層基板を提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するため、本発明に基づくセラミック多層基板の第1の局面では、複数のセラミック層が積層され、第1主表面を有し、内部に内部回路要素が配置されたセラミック積層体と、上記セラミック積層体の第1主表面に接する接合面と上記接合面に対向する実装面とを有する樹脂層と、上記樹脂層の実装面に形成され、上記セラミック積層体の内部回路要素の少なくともいずれかと電氣的に接続された外部電極と、上記セラミック積層体の第1主表面と上記樹脂層の接合面との界面、または、上記樹脂層の内部に配置されたグラウンド電極、ダミー電極またはコンデンサ形成電極とを備える。この構成を採用することにより、グラウンド電極、ダミー電極またはコンデンサ形成電極を実装面にきわめて近い位置に保持することができ、その結果、グラウンド電極、ダミー電極またはコンデンサ形成電極と配線基板との距離を短くすること

ができる。

- [0012] 上記発明において好ましくは、上記グラウンド電極、ダミー電極またはコンデンサ形成電極は、上記セラミック積層体と一体焼成された焼結金属である。この構成を採用することにより、金属箔を貼り付けて形成する場合に比べて電極自体の表面粗さが大きくなり、樹脂層との接合に関してアンカー効果によって接合力を増すことができる。
- [0013] 上記目的を達成するため、本発明に基づくセラミック多層基板の第2の局面では、複数のセラミック層が積層され、第1主表面を有し、内部に内部回路要素が配置されたセラミック積層体と、上記セラミック積層体の第1主表面に接する接合面と上記接合面に対向する実装面とを有する樹脂層と、上記樹脂層の実装面に形成され、上記セラミック積層体の内部回路要素の少なくともいずれかと電氣的に接続された外部電極と、上記セラミック積層体の第1主表面と上記樹脂層の接合面との界面、または、上記樹脂層の内部に配置されたグラウンド電極と、上記グラウンド電極に対して上記実装面と反対の側から対向することによって上記グラウンド電極との間でコンデンサを構成するコンデンサ形成電極とを備える。この構成を採用することにより、非常に安定した特性のコンデンサを得ることができる。
- [0014] 上記発明において好ましくは、上記第1主表面に実装され、上記樹脂層によって覆われている第1回路部品を備え、上記グラウンド電極、ダミー電極またはコンデンサ形成電極は、上記第1回路部品よりも上記実装面寄りに配置されている。この構成を採用することにより、電子部品をセラミック積層体の上面だけでなく下面にも搭載することができるので、電子部品の高密度化、配線基板に対する省スペース化を図ることができる。
- [0015] 上記発明において好ましくは、上記第1回路部品は、上記グラウンド電極、ダミー電極またはコンデンサ形成電極を上記第1主表面に投影した領域内に収まるように配置されている。この構成を採用することにより、グラウンド電極が第1回路部品に対してシールド効果を発揮することができる。
- [0016] 上記発明において好ましくは、上記外部電極から上記内部回路要素への電氣的接続は、上記第1主表面に沿って延在するように形成された中継電極を介して行なわれている。この構成を採用することにより、上下のビアの位置をずらすことができる。

ため、設計の自由度が高まる。

[0017] 上記発明において好ましくは、上記セラミック積層体は、上記第1主表面と反対の側に第2主表面を有し、上記第2主表面には第2回路部品が実装されている。この構成を採用することにより、電子部品の高密度化、配線基板に対する省スペース化を図ることができる。

[0018] 上記発明において好ましくは、上記第2主表面には上記第2回路部品を覆うように導電体ケースが配置されている。この構成を採用することにより、第2回路部品が導電体ケースで覆われているので、第2回路部品は外部の電磁波からシールドされ、また、第2回路部品から発生する電磁波が外部に漏洩することも防止される。

[0019] 上記発明において好ましくは、上記第2主表面の上記第2回路部品がモールド樹脂層(25)で覆われている。この構成を採用することにより、第2回路部品が他の部品との衝突などから保護される。

発明の効果

[0020] 本発明によれば、グラウンド電極を実装面にきわめて近い位置に保持することができる、その結果、グラウンド電極と配線基板との距離を短くすることができる。また、グラウンド電極よりも下側のセラミック層をなくすことができるので、焼成時にグラウンド電極よりも下側のセラミック層にデラミネーションやクラックが生じるという問題を防止できる。さらに、グラウンド電極は樹脂層で覆われているので、このセラミック多層基板を配線基板の表面に実装したときにもグラウンド電極が配線基板の電極と短絡を生じることは防止できる。

図面の簡単な説明

[0021] [図1]本発明に基づく実施の形態1におけるセラミック多層基板の断面図である。
[図2]本発明に基づく実施の形態2におけるセラミック多層基板の断面図である。
[図3]本発明に基づく実施の形態3におけるセラミック多層基板の断面図である。
[図4]本発明に基づく実施の形態4におけるセラミック多層基板の断面図である。
[図5]本発明に基づく実施の形態5におけるセラミック多層基板の断面図である。
[図6]本発明に基づく実施の形態5におけるセラミック多層基板の他の例の断面図である。

[図7]本発明に基づく実施の形態6におけるセラミック多層基板の断面図である。

[図8]従来技術に基づくセラミック多層基板の断面図である。

符号の説明

- [0022] 10 セラミック積層体、11 セラミック層、12 グラウンド電極、13a, 13b, 13c 電子部品、14 内部回路要素、15 樹脂層、16 実装面、17 外部電極、18 第1主表面、19 接合面、20 コンデンサ形成電極、21 中継電極、22a, 22b, 22c 電子部品、23 第2主表面、24 導電体ケース、25 モールド樹脂層、100, 101, 102, 103, 104 セラミック多層基板。

発明を実施するための最良の形態

- [0023] 以下、上下の概念に言及するときは絶対的な上下を意味するものではなく、参照する図面に示される姿勢で見たときの相対的な上下を意味するものとする。

- [0024] (実施の形態1)

図1を参照して、本発明に基づく実施の形態1におけるセラミック多層基板101について説明する。このセラミック多層基板101は、複数のセラミック層11を積層してなるセラミック積層体10を備える。セラミック積層体10の内部には内部回路要素14が配置されている。内部回路要素14は、セラミック層11を積層方向に貫通するビアホール導体とセラミック層11同士の界面に設けられる面内導体とを含む。セラミック積層体10は第1主表面18として下面を有する。セラミック積層体10の第1主表面18を覆うようにグラウンド電極12が形成されている。さらにグラウンド電極12を覆うように樹脂層15が形成されている。

- [0025] 樹脂層15は、第1主表面18に接する接合面19と、接合面19に対向する実装面16とを有する。実装面16上には外部電極17が形成されている。すなわち、本実施の形態では、グラウンド電極12は、セラミック積層体10の第1主表面18と樹脂層15の接合面19との界面に配置されている。

- [0026] 外部電極17は、樹脂層15内に配置されたビアホール導体を介して、内部回路要素14の少なくともいずれかと電氣的に接続されている。外部電極17の中には、図面上は内部回路要素14と接続されていないように見えるものもあるが、この断面以外のところで接続されている。セラミック積層体10は、第1主表面18に対向する第2主表

面23として上面を有する。第2主表面23には電子部品13a, 13b, 13cが搭載されている。

[0027] セラミック層11は、低温焼結セラミック材料によって形成することができる。低温焼結セラミック材料は、1000℃以下の温度で焼成可能なセラミック材料であり、たとえば、アルミナやフォスフェイト、コージュライトなどのセラミック粉末にホウ珪酸系などのガラスを混合してなるガラス複合系材料、 $\text{ZnO-MgO-Al}_2\text{O}_3\text{-SiO}_2$ 系の結晶化ガラスからなる結晶化ガラス系材料、 $\text{BaO-Al}_2\text{O}_3\text{-SiO}_2$ 系セラミック粉末や $\text{Al}_2\text{O}_3\text{-CaO-SiO}_2\text{-MgO-B}_2\text{O}_3$ 系セラミック粉末などからなる非ガラス系材料などを挙げることができる。セラミック層11を低温焼結セラミック材料で構成することによって、セラミック積層体10内の内部回路要素14を構成する金属材料にAgやCuなどの低抵抗で低融点の金属材料を用いることができ、セラミック積層体10とその内部に設けられた内部回路要素14とを1000℃以下での同時焼成によって得ることができる。

[0028] セラミック積層体10の第1主表面18と樹脂層15の接合面19との間に設けられるグラウンド電極12は、第1主表面18の面積の3〜98%、さらには40〜95%を占める範囲で形成されていることが好ましい。これは後述する樹脂層の接合力が高まるためである。また、樹脂層15の厚みは、5〜500 μm 、さらには10〜300 μm が好ましく、セラミック積層体10の厚みよりも小さくてよい。これはマザーボードのグラウンド電極との接続距離が短くなって寄生インダクタンス値を低減することができ、特に高周波用途にて良好な高周波特性を得ることができるからである。

[0029] グラウンド電極12は、銅箔などの金属箔からなる電極であってもよいが、焼結金属からなる電極であることが好ましい。一般的に、セラミック積層体10の表面は、一般的な銅箔と同程度の表面粗さ R_{max} を有している、すなわち数 μm R_{max} であるため、樹脂層15との接合力は弱い。セラミック積層体10と樹脂層15との間に、焼結金属からなるグラウンド電極12が介在すると、焼結金属は表面粗さ R_{max} が数十 μm であり、銅箔の表面粗さ R_{max} の数 μm と比較して1桁大きいため、焼結金属のアンカー効果によって、グラウンド電極12と樹脂層15との接合強度を高めることができる。このような表面粗さの差は、銅箔がメッキまたは銅板の圧延によって形成されたものであるのに対し、焼結金属はワニスと称する樹脂を体積比率10〜40%含有する導電性ペー

ストを焼き付けて形成されるため、その樹脂成分の焼失によって内部や表面に空洞が残存して表面粗さが大きくなることに起因にしている。

- [0030] グラウンド電極12はグラウンド電位(接地電位)にある電極である。グラウンド電極12に代えて他の電極を配置することとしてもよい。その場合、グラウンド電極12の代わりとなる電極は、上述したような大面積の電極であればよく、たとえば、内部回路要素14から電氣的に独立したダミー電極や、いずれかの他の電極との間でコンデンサを形成するためのコンデンサ形成電極であってもよい。
- [0031] 本実施の形態におけるセラミック多層基板101は、以下のようにして製造することができる。
- [0032] まず、セラミックグリーンシートに導電性ペーストをパターニングすることによって、セラミックグリーンシート上に内部回路要素14となる所定の導体パターンを形成する。同様に、所定の導体パターンを有する複数のセラミックグリーンシートを作製する。そして、導体パターンを挟み込むようにして、複数のセラミックグリーンシートを積層する。こうして得られたセラミック積層体10となるべき未焼成の積層体の裏面にグラウンド電極12となるべき導体パターンを形成する。なお、グラウンド電極12となるべき導体パターンをセラミックグリーンシート上に形成し、このようなセラミックグリーンシートを積層することによって、グラウンド電極12となるべき導体パターンを有した未焼成の積層体を作製することもできる。
- [0033] こうして得られる構造体を焼成する。その結果、未焼成であった積層体は、セラミック焼結体であるセラミック積層体10となり、グラウンド電極となるべき導体パターンは、焼結金属からなるグラウンド電極12となる。
- [0034] さらに、グラウンド電極12を覆うように、半硬化状態すなわちBステージ状態にある樹脂シートをラミネートし、硬化させることにより、樹脂層15とする。樹脂層15にレーザなど貫通孔をあけ、導電性樹脂やハンダ等の導電性材料を充填する。なお、あらかじめ貫通孔に導電性材料を充填した樹脂シートをラミネートしてもよい。さらに樹脂層15の表面に、金属箔などによって電極を形成し、外部電極17とする。なお、外部電極17は、樹脂層中に設けられた導電性材料の端面を外部電極として利用したものであってもよい。一方、セラミック積層体10の上面には、半導体デバイスやチップ

型積層コンデンサなどの表面実装型電子部品13a, 13b, 13cを搭載する。こうして、図1に示したセラミック多層基板101を得ることができる。

[0035] 本実施の形態では、グラウンド電極12を実装面16にきわめて近い位置に保持することができる。実装面16に近いということは、実装時にグラウンド電極12が、マザーボードなどの配線基板(図示せず)に近くなるということを意味する。また、本実施の形態では、グラウンド電極12よりも下側にはセラミック層はないので、焼成時にグラウンド電極よりも下側のセラミック層にデラミネーションやクラックが生じるという問題を防止できる。しかも、グラウンド電極12は樹脂層15で覆われているので、このセラミック多層基板101を配線基板(図示せず)の表面に実装したときにもグラウンド電極12が配線基板の電極と短絡を生じることは防止できる。

[0036] なお、グラウンド電極12は、セラミック積層体10と一体焼成された焼結金属であることが好ましい。一体焼成した電極であれば、セラミック積層体10とグラウンド電極12との接合力が大きくなり、しかも、銅箔などの金属箔を貼り付けて形成する場合に比べて電極自体の表面粗さが大きくなるため、上述したように、樹脂層15との接合に関してアンカー効果によって接合力を増すことができるからである。

[0037] (実施の形態2)

図2を参照して、本発明に基づく実施の形態2におけるセラミック多層基板102について説明する。このセラミック多層基板102では、グラウンド電極12は第1主表面18に接しないように配置されている。すなわち、グラウンド電極12は樹脂層15の内部に配置されており、樹脂層15によって上下から挟まれた状態で配置される。他の部分の構成は、実施の形態1で述べたものと同様である。

[0038] 本実施の形態では、グラウンド電極12とセラミック層11とが直接接する部分がなくなるので、グラウンド電極12とセラミック層11との熱収縮挙動の差に起因するクラックなどの問題をより確実に回避できる。

[0039] なお、図2に示したような構造は、樹脂層15を樹脂シートで複数回に分けてラミネートし、その合間に銅箔を挿入することで得ることができる。樹脂層15の内部に挟み込まれた銅箔がグラウンド電極12となる。

[0040] (実施の形態3)

図3を参照して、本発明に基づく実施の形態3におけるセラミック多層基板103について説明する。このセラミック多層基板103では、樹脂層15の内層面にグラウンド電極12の他にコンデンサ形成電極20を備える。コンデンサ形成電極20は、グラウンド電極12に対して実装面16と反対の側から対向することによってグラウンド電極12との間でコンデンサを構成するための電極である。このコンデンサは、内部回路要素14と電氣的に接続され、所定の回路を構成する。他の部分の構成は、実施の形態2で述べたものと同様である。なお、コンデンサ形成電極20は、セラミック積層体10と樹脂層15との界面に設けられていてもよい。

[0041] このセラミック多層基板103では、コンデンサ形成電極20とグラウンド電極12との間でコンデンサが形成される。こうすることで非常に安定した特性のコンデンサを得ることができる。

[0042] (実施の形態4)

図4を参照して、本発明に基づく実施の形態4におけるセラミック多層基板104について説明する。このセラミック多層基板104は、セラミック積層体10の下面である第1主表面18に第1回路部品として、半導体デバイスやチップ型積層コンデンサなどといった表面実装型の電子部品22a, 22b, 22cが表面実装されている。電子部品22a, 22b, 22cを覆うように樹脂層15が形成されている。グラウンド電極12は、電子部品22a, 22b, 22cよりも実装面16寄り、すなわち下側に配置されている。他の部分の構成は、実施の形態2で述べたものと同様である。

[0043] 本実施の形態では、電子部品をセラミック積層体10の上面だけでなく下面にも搭載することができるので、電子部品の高密度化、配線基板に対する省スペース化を図ることができる。

[0044] 特に、図4に示すように、第1回路部品である電子部品22a, 22b, 22cは、グラウンド電極12を第1主表面18に投影した領域内に収まるように配置されていることが好ましい。このようになっていれば、グラウンド電極12が第1回路部品に対してシールド効果を発揮するからである。

[0045] なお、図3、図4に示すように、セラミック多層基板103, 104は第1主表面18に沿って延在するように形成された中継電極21を備える。外部電極17から内部回路要素1

4への電氣的接続は、中継電極21を介して行なわれている。外部電極17から内部回路要素14への電氣的接続を直接ビア・トゥ・ビアで接続することも考えられるが、図3、図4に示したように、一旦、中継電極21を介在させることとすれば、上下のビアの位置をずらすことができるため、設計の自由度が高まり、好ましい。これは、実施の形態3、4のセラミック多層基板103、104に限らず、他の実施の形態においても同様である。

[0046] なお、上記各実施の形態に示すように、第1主表面18と反対の側に第2主表面23を有し、第2主表面23に第2回路部品として、半導体デバイスやチップ型積層コンデンサなどといった表面実装型の電子部品13a、13b、13cが搭載されていることが好ましい。このようにすることで多機能の高周波モジュールを構成することができるからである。

[0047] （実施の形態5）

図5を参照して、本発明に基づく実施の形態5におけるセラミック多層基板105について説明する。セラミック多層基板105は、実施の形態1のセラミック多層基板101において第2主表面23に搭載された第2回路部品としての電子部品13a、13b、13cを覆うように導電体ケース24を取り付けたものである。

[0048] 本実施の形態では、第2回路部品が導電体ケース24で覆われているので、第2回路部品は外部の電磁波からシールドされ、また、第2回路部品から発生する電磁波が外部に漏洩することも防止されるので、好ましい。

[0049] 本実施の形態では、実施の形態1のセラミック多層基板101を基に例示したが、図6に示すように、実施の形態4のセラミック多層基板104に導電体ケース24を取り付けてもよい。あるいは、実施の形態2、3のいずれかのセラミック多層基板に導電体ケース24を取り付けてもよい。

[0050] （実施の形態6）

図7を参照して、本発明に基づく実施の形態6におけるセラミック多層基板107について説明する。セラミック多層基板107は、実施の形態1のセラミック多層基板101において第2主表面23に搭載された第2回路部品としての電子部品13a、13b、13cを覆うようにモールド樹脂層25を形成したものである。したがって、他の部分の詳細な

構成は実施の形態1で説明したものと同一である。

[0051] 本実施の形態では、第2回路部品が導電体ケース24で覆われているので、第2回路部品が他の部品との衝突などから保護される。本実施の形態では、実施の形態1のセラミック多層基板101を基に例示したが、このほかに、実施の形態2, 3, 4のいずれかのセラミック多層基板に導電体ケース24を取り付けてもよい。

[0052] なお、今回開示した上記実施の形態はすべての点で例示であって制限的なものではない。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更を含むものである。

産業上の利用可能性

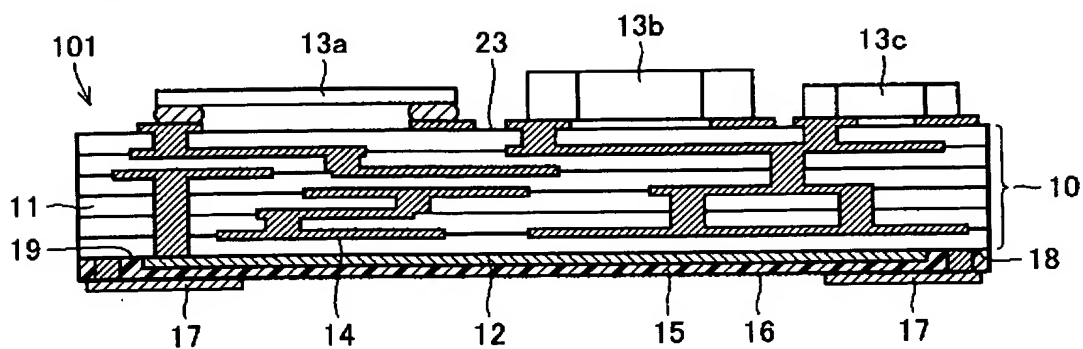
[0053] 本発明は、情報通信機器の内部に搭載される高周波モジュールなどに一般的に用いられるセラミック多層基板に適用することができる。

請求の範囲

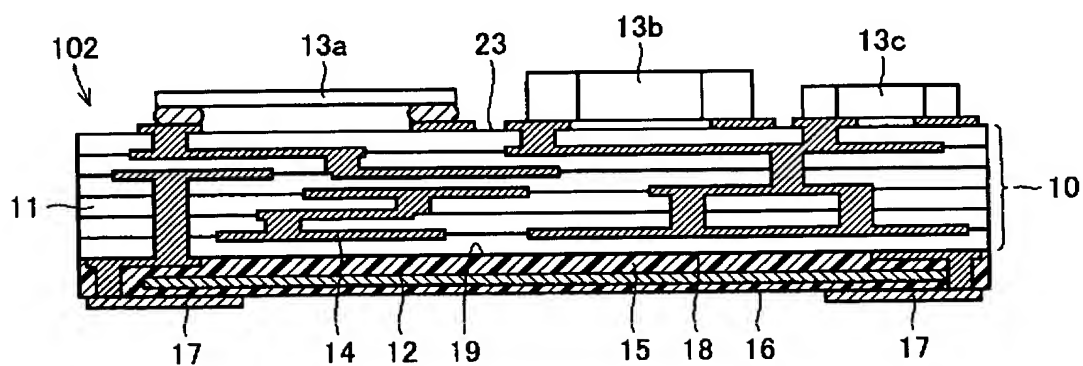
- [1] 複数のセラミック層が積層され、第1主表面(18)を有し、内部に内部回路要素が配置されたセラミック積層体(10)と、
前記セラミック積層体(10)の第1主表面(18)に接する接合面(19)と前記接合面(19)に対向する実装面(16)とを有する樹脂層(15)と、
前記樹脂層(15)の実装面(16)に形成され、前記セラミック積層体(10)の内部回路要素(14)の少なくともいずれかと電気的に接続された外部電極(17)と、
前記セラミック積層体(10)の第1主表面(18)と前記樹脂層(15)の接合面(19)との界面、または、前記樹脂層(15)の内部に配置されたグラウンド電極(12)、ダミー電極またはコンデンサ形成電極とを備える、セラミック多層基板。
- [2] 前記グラウンド電極(12)、ダミー電極またはコンデンサ形成電極は、前記セラミック積層体と一体焼成された焼結金属である、請求の範囲第1項に記載のセラミック多層基板。
- [3] 複数のセラミック層が積層され、第1主表面(18)を有し、内部に内部回路要素が配置されたセラミック積層体(10)と、
前記セラミック積層体(10)の第1主表面(18)に接する接合面(19)と前記接合面(19)に対向する実装面(16)とを有する樹脂層(15)と、
前記樹脂層(15)の実装面(16)に形成され、前記セラミック積層体(10)の内部回路要素(14)の少なくともいずれかと電気的に接続された外部電極(17)と、
前記セラミック積層体(10)の第1主表面(18)と前記樹脂層(15)の接合面(19)との界面、または、前記樹脂層(15)の内部に配置されたグラウンド電極(12)と、
前記グラウンド電極(12)に対して前記実装面(16)と反対の側から対向することによって前記グラウンド電極(12)との間でコンデンサを構成するコンデンサ形成電極(20)とを備える、セラミック多層基板。
- [4] 前記第1主表面(18)に実装され、前記樹脂層(15)によって覆われている第1回路部品(22a, 22b, 22c)を備え、前記グラウンド電極(12)、ダミー電極またはコンデンサ形成電極は、前記第1回路部品(22a, 22b, 22c)よりも前記実装面(16)寄りに配置されている、請求の範囲第1項に記載のセラミック多層基板。

- [5] 前記第1回路部品(22a, 22b, 22c)は、前記グラウンド電極(12)、ダミー電極またはコンデンサ形成電極を前記第1主表面(18)に投影した領域内に収まるように配置されている、請求の範囲第4項に記載のセラミック多層基板。
- [6] 前記外部電極(17)から前記内部回路要素(14)への電氣的接続は、前記第1主表面(18)に沿って延在するように形成された中継電極(21)を介して行なわれている、請求の範囲第1項に記載のセラミック多層基板。
- [7] 前記セラミック積層体(10)は、前記第1主表面(18)と反対の側に第2主表面(23)を有し、前記第2主表面(23)には第2回路部品(13a, 13b, 13c)が実装されている、請求の範囲第1項に記載のセラミック多層基板。
- [8] 前記第2主表面(23)には前記第2回路部品(13a, 13b, 13c)を覆うように導電体ケース(24)が配置されている、請求の範囲第7項に記載のセラミック多層基板。
- [9] 前記第2主表面(23)の前記第2回路部品(13a, 13b, 13c)がモールド樹脂層(25)で覆われている、請求の範囲第7項に記載のセラミック多層基板。

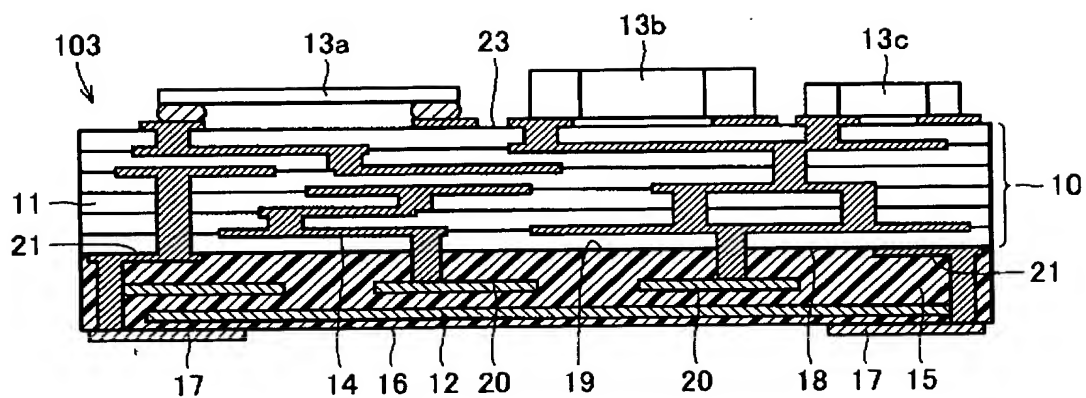
[図1]



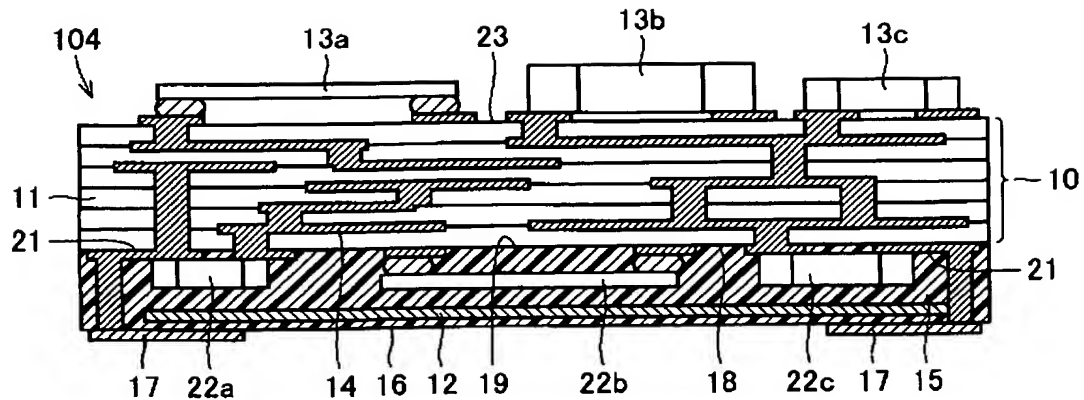
[図2]



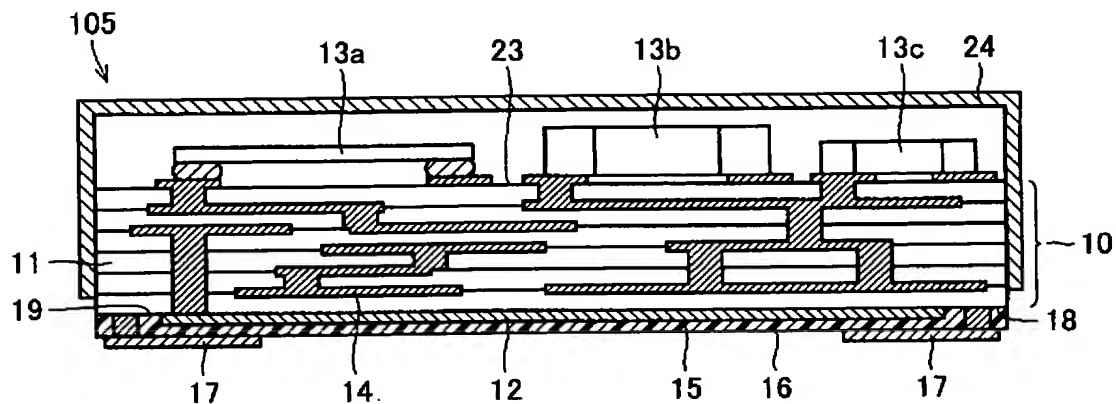
[図3]



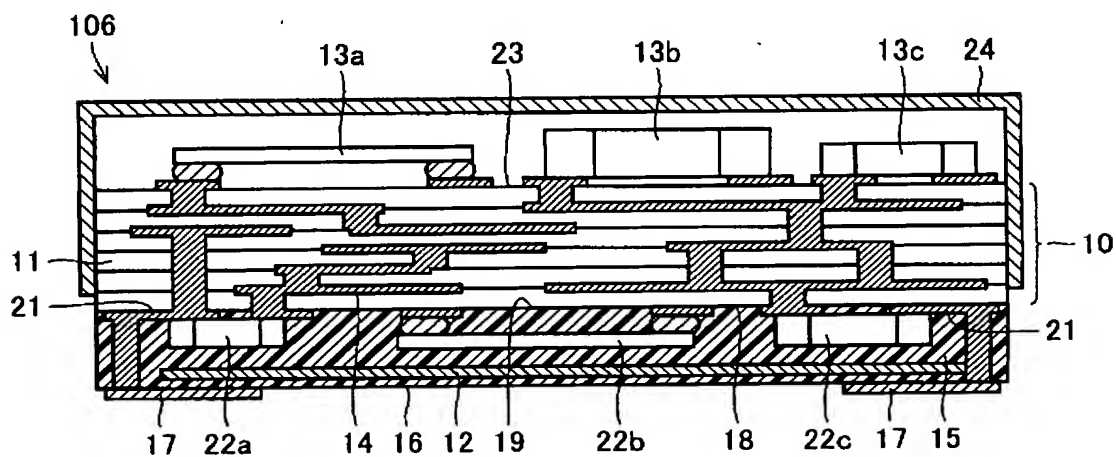
[図4]



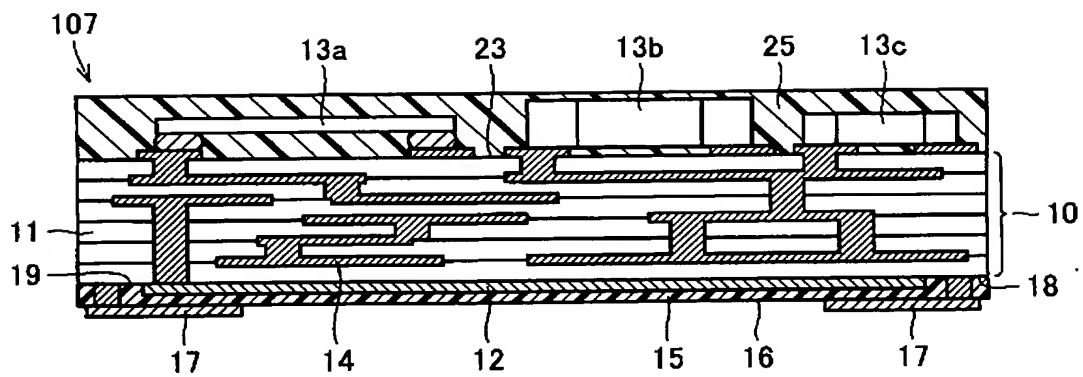
[図5]



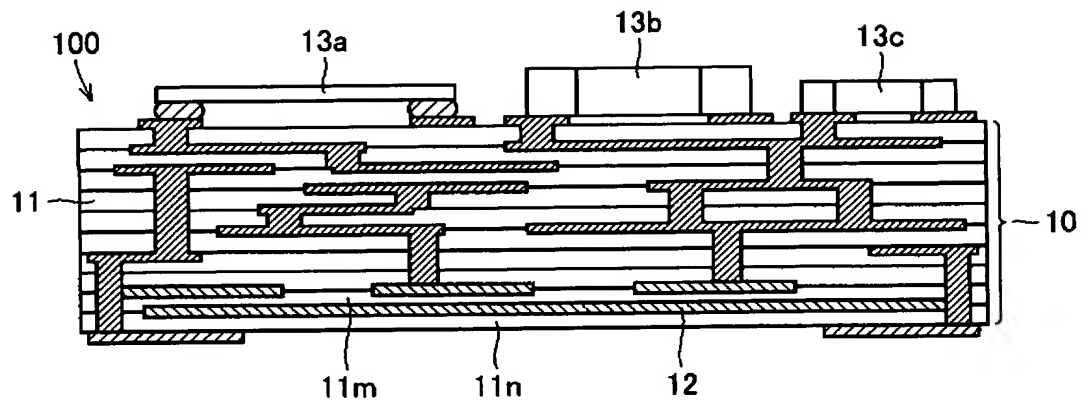
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015213

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 1998/47331 A1 (Toshiba Corp.), 22 October, 1998 (22.10.98), & US 6353189 B1	1, 3, 6, 7 2, 8, 9
X	JP 2003-23257 A (Matsushita Electric Works, Ltd.), 24 January, 2003 (24.01.03), (Family: none)	1, 3
Y	JP 2002-94410 A (NGK Spark Plug Co., Ltd.), 29 March, 2002 (29.03.02), (Family: none)	2
Y	JP 2002-185222 A (Kyocera Corp.), 28 June, 2002 (28.06.02), (Family: none)	2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 November, 2004 (18.11.04)

Date of mailing of the international search report
07 December, 2004 (07.12.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015213

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-86990 A (Toyo Communication Equipment Co., Ltd.), 20 March, 2003 (20.03.03), (Family: none)	8
Y	JP 2002-198655 A (Industrial Technology Research Institute), 12 July, 2002 (12.07.02), & TW 512654 B & DE 10133660 A & CN 1356861 A & US 2002-140081 A1	8
Y	JP 2003-347467 A (Kyocera Corp.), 05 December, 2003 (05.12.03), (Family: none)	8
Y	JP 2000-4071 A (Alps Electric Co., Ltd.), 07 January, 2000 (07.01.00), (Family: none)	9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H05K3/46

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	WO 1998/47331 A1 (株式会社東芝) 1998. 10. 22 & US 6353189 B1	1, 3, 6, 7 2, 8, 9
X	JP 2003-23257 A (松下電工株式会社) 2003. 01. 24 (ファミリーなし)	1, 3
Y	JP 2002-94410 A (日本特殊陶業株式会社) 2002. 03. 29 (ファミリーなし)	2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に関する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18. 11. 2004

国際調査報告の発送日

07.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区鍛冶町三丁目4番3号

特許庁審査官 (権限のある職員)

鏡 宣宏

3 S

3514

電話番号 03-3581-1101 内線 3389

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-185222 A (京セラ株式会社) 2002. 06. 28 (ファミリーなし)	2
Y	JP 2003-86990 A (東洋通信機株式会社) 2003. 03. 20 (ファミリーなし)	8
Y	JP 2002-198655 A (財団法人工業技術研究院) 2002. 07. 12 & TW 512654 B & DE 10133660 A & CN 1356861 A & US 2002-140081 A1	8
Y	JP 2003-347467 A (京セラ株式会社) 2003. 12. 05 (ファミリーなし)	8
Y	JP 2000-4071 A (アルプス電気株式会社) 2000. 01. 07 (ファミリーなし)	9